HM53462シリーズ　¥1500

65,536-word×4-bit Multi Port CMOS Dynamic RAM (with Logic operation mode)

HM53462は，64kワード×4ビットダイナミックRAMポートおよび256ワード×4ビットシリアルアクセスメモリ（SAM）ポートを搭載した262,144ビットマルチポートメモリです。SAMポートは256ワード×4ビットシリアルリード/ライトアクセスコントロールゲートを通して，1,024ビットデータレジスタと接続しています。リードデータ転送サイクルでは，メモリセルデータはRAMポートの選択ワード線からデータレジスタに転送されます。ライトデータ転送サイクルでは，シリアルデータレジスタからメモルセルにデータが転送され，また，シリアル入出力ピン（SI/O）を入力モードにします。さらに擬似データ転送サイクルでは，SI/Oを入力モードにし，RAM−SAM間のデータ転送は行いません。

RAMポートは従来の動作モードに加え，新しくライトマスク機能を適用し，4つのデータビットから任意に書込みビットが指定可能となりました。また，RAMポートには論理演算モードを追加しました。これにより，従来3ステップ（Read, Logic operation, Write）必要だったメモリセルデータと外部データの論理演算を1ステップで行うことが可能となりました。

また，2μm CMOSプロセス技術の採用により，高速シリアルアクセス動作，低消費電流が実現しました。入力および出力はクロックを含めてすべてTTLとコンパチブルです。

HM53462Pシリーズ

(DP-24A)

HM53462ZPシリーズ

(ZP-24)

■特　長

- マルチポート構成です。
  RAM：64kワード×4ビット
  SAM：256ワード×4ビット
- 400mil 24ピンプラスチックDIPおよび24ピンプラスチックZIP
- 2層ポリシリコン/ポリサイドn-ウェル CMOSプロセス
- 5V単一電源（±10%）
- 低消費電力　動作時　RAM：380mW(max.)
  SAM：220mW(max.)
  スタンバイ時　40mW(max.)
- アクセス時間　RAM：100ns/120ns/150ns
  SAM：40ns/40ns/60ns
- サイクル時間
  ランダムリード/ライトサイクル時間（RAM）
  190ns/220ns/250ns
  シリアルリード/ライトサイクル時間（SAM）
  40ns/40ns/60ns
- 入出力はTTLとコンパチブルです。
- リフレッシュ形式　256リフレッシュサイクル/4ms
- リフレッシュ機能　$\overline{RAS}$ only refresh
  $\overline{CAS}$ before $\overline{RAS}$ refresh
  Hidden refresh
- データ転送動作(RAM⇄SAM)
- 高速シリアルアクセス動作はRAMポートと非同期です。(データ転送サイクルを除く。)
- リアルタイムリード転送が可能です。

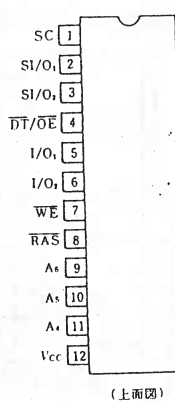
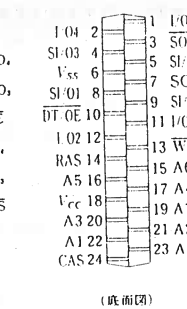
■ピン配置

●HM53462Pシリーズ

ピン	名称	ピン	名称
1	SC	24	V_{SS}
2	SI/O_1	23	SI/O_4
3	SI/O_2	22	SI/O_3
4	$\overline{DT}/\overline{OE}$	21	$\overline{SOE}$
5	I/O_1	20	I/O_4
6	I/O_2	19	I/O_3
7	$\overline{WE}$	18	$\overline{CAS}$
8	$\overline{RAS}$	17	A_0
9	A_6	16	A_1
10	A_5	15	A_2
11	A_4	14	A_3
12	V_{CC}	13	A_7

(上面図)

●HM53462ZPシリーズ

ピン	名称	ピン	名称
1	I/O3	2	I/O4
3	$\overline{SOE}$	4	SI/O3
5	SI/O4	6	V_{SS}
7	SC	8	SI/O1
9	SI/O2	10	$\overline{DT}/\overline{OE}$
11	I/O1	12	I/O2
13	$\overline{WE}$	14	RAS
15	A6	16	A5
17	A4	18	V_{CC}
19	A7	20	A3
21	A2	22	A1
23	A0	24	CAS

(底面図)

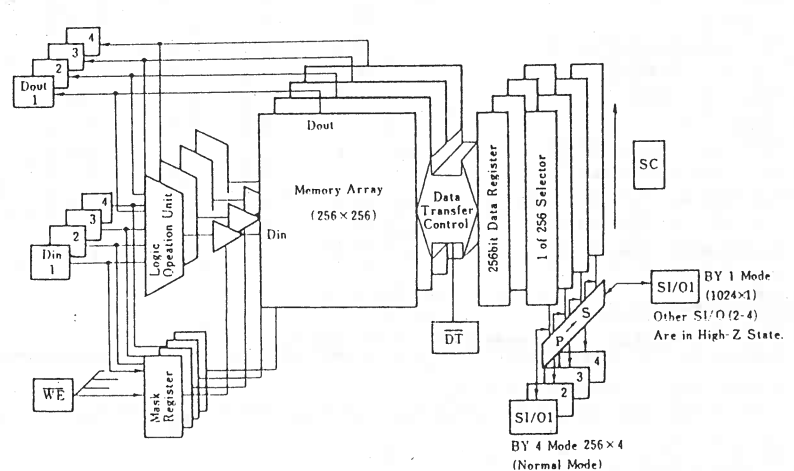
■ピン説明

記　号	ピン名称	記　号	ピン名称
A0～A7	アドレス入力	$\overline{WE}$	ライトイネーブル
I/O1～I/O4	RAMポートデータ入出力	$\overline{DT}/\overline{OE}$	データ転送/出力イネーブル
SI/O1～SI/O4	SAMポートデータ入出力	$\overline{SOE}$	SAMポートイネーブル
$\overline{RAS}$	ロウアドレスストローブ	V_{CC}	電源
$\overline{CAS}$	カラムアドレスストローブ	V_{SS}	接地
SC	シリアルクロック		

- ライトマスクモードが可能です。
- Din−Dout間の論理演算が可能です。
- SAM構成の変換が可能です。(1,024ワード×1ビット)

■製品ラインアップ

製品名	アクセス時間	パッケージ
HM53462P-10	100ns	400mil 24ピン プラスチックDIP
HM53462P-12	120ns	
HM53462P-15	150ns	
HM53462ZP-10	100ns	24ピン プラスチックZIP
HM53462ZP-12	120ns	
HM53462ZP-15	150ns	

■ブロックダイアグラム

■絶対最大定格

項目	記号	定格値	単位
端子電圧 *1	V_T	−1.0～+7.0	V
電源電圧 *1	V_{CC}	−0.5～+7.0	V
出力短絡電流	I_{out}	50	mA
許容損失	P_T	1.0	W
動作温度	T_{opr}	0～+70	℃
保存温度	T_{stg}	−55～+125	℃

注）＊1．V_{SS}に対して

■推奨動作条件（Ta=0～+70℃）

項目	記号	min.	typ.	max.	単位
電源電圧	V_{CC}	4.5	5.0	5.5	V
入力電圧	V_{IH}	2.4	—	6.5	V
	V_{IL}	−1.0	—	0.8	V

注）全項目V_{SS}に対しての許容値

■DC電気的特性（Ta=0～+70℃, V_{CC}=5.0V±10%, V_{SS}=0V）

RAMポート	記号	SAMポート スタンバイ時	SAMポート 動作時	HM53462-10	HM53462-12	HM53462-15	単位
動作電流 $\overline{RAS}$, $\overline{CAS}$ Cycling, t_{RC}=min.	I_{CC1}	○	×	70	60	50	mA
	I_{CC7}	×	○	110	100	80	mA
スタンバイ電流 $\overline{RAS}$, $\overline{CAS}$=V_{IH}	I_{CC2}	○	×	7	7	7	mA
	I_{CC8}	×	○	40	40	30	mA
$\overline{RAS}$オンリリフレッシュ電流 $\overline{RAS}$ Cycling, $\overline{CAS}$=V_{IH}, t_{RC}=min.	I_{CC3}	○	×	60	50	40	mA
	I_{CC9}	×	○	100	90	70	mA
ページモード電流 $\overline{CAS}$ Cycling, $\overline{RAS}$=V_{IL}, t_{PC}=min.	I_{CC4}	○	×	50	40	35	mA
	I_{CC10}	×	○	90	80	65	mA
$\overline{CAS}$ビフォ$\overline{RAS}$リフレッシュ電流 $\overline{RAS}$=Cycling, t_{RC}=min.	I_{CC5}	○	×	60	50	40	mA
	I_{CC11}	×	○	100	90	70	mA
データ転送電流 $\overline{RAS}$, $\overline{CAS}$ Cycling, t_{RC}=min.	I_{CC6}	○	×	75	65	55	mA
	I_{CC12}	×	○	115	105	85	mA

項目	記号	min.	max.	単位
入力リーク電流	I_{LI}	−10	10	μA
出力リーク電流	I_{LO}	−10	10	μA
出力端子電圧(I_{OH}=−2mA)	V_{OH}	2.4	—	V
出力端子電圧(I_{OL}=4.2mA)	V_{OL}	—	0.4	V

■容量

項目	記号	min.	typ.	max.	単位
アドレス	C_{I1}	—	—	5	pF
クロック	C_{I2}	—	—	5	pF
I/O, SI/O	C_{I3}	—	—	7	pF

■AC特性（Ta=0～+70℃, V_{CC}=5V±10%, V_{SS}=0V）[1),10),11)]

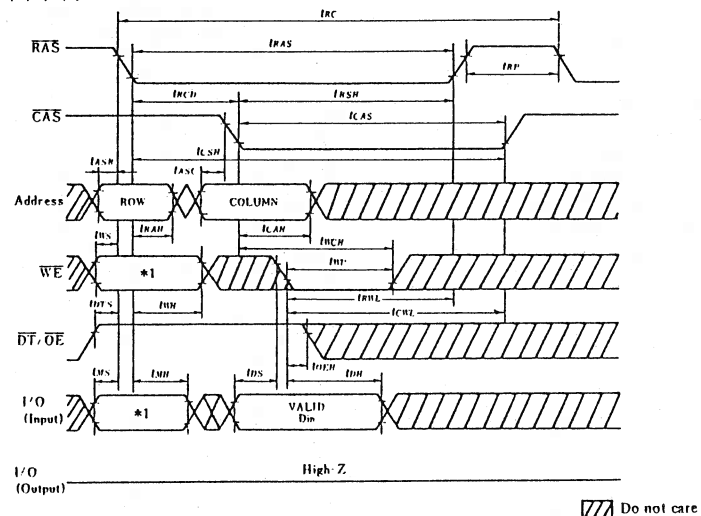
項目	記号	HM53462-10 min.	HM53462-10 max.	HM53462-12 min.	HM53462-12 max.	HM53462-15 min.	HM53462-15 max.	単位	注
ランダムリード・ライトサイクル時間	t_{RC}	190	—	220	—	260	—	ns	
リードモディファイライトサイクル時間	t_{RWC}	260	—	300	—	355	—	ns	
ページモードサイクル時間	t_{PC}	70	—	85	—	105	—	ns	
$\overline{RAS}$からのアクセス時間	t_{RAC}	—	100	—	120	—	150	ns	2, 3
$\overline{CAS}$からのアクセス時間	t_{CAC}	—	50	—	60	—	75	ns	3, 4
出力バッファターンオフ遅延($\overline{CAS}$に対して)	t_{OFF1}	0	25	0	30	0	40	ns	5
トランジション時間(上昇/下降)	t_T	3	50	3	50	3	50	ns	6
$\overline{RAS}$プリチャージ時間	t_{RP}	80	—	90	—	100	—	ns	

(次頁に続く)

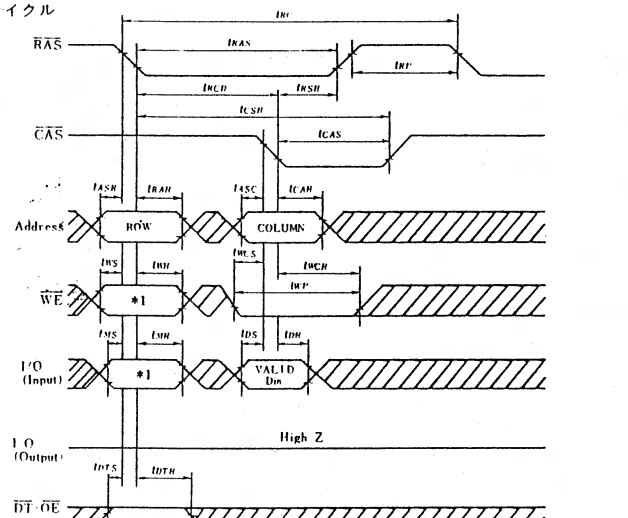
項目	記号	HM53462-10 min.	HM53462-10 max.	HM53462-12 min.	HM53462-12 max.	HM53462-15 min.	HM53462-15 max.	単位	注
$\overline{RAS}$パルス幅	t_{RAS}	100	10,000	120	10,000	150	10,000	ns	
$\overline{CAS}$パルス幅	t_{CAS}	50	10,000	60	10,000	75	10,000	ns	
$\overline{RAS}$・$\overline{CAS}$遅延時間	t_{RCD}	25	50	25	60	30	75	ns	7
$\overline{RAS}$ホールド時間	t_{RSH}	50	—	60	—	75	—	ns	
$\overline{CAS}$ホールド時間	t_{CSH}	100	—	120	—	150	—	ns	
$\overline{CAS}$・$\overline{RAS}$プリチャージ時間	t_{CRP}	10	—	10	—	10	—	ns	
ロウアドレスセットアップ時間	t_{ASR}	0	—	0	—	0	—	ns	
ロウアドレスホールド時間	t_{RAH}	15	—	15	—	20	—	ns	
カラムアドレスセットアップ時間	t_{ASC}	0	—	0	—	0	—	ns	
カラムアドレスホールド時間	t_{CAH}	20	—	20	—	25	—	ns	
ライトコマンドセットアップ時間	t_{WCS}	0	—	0	—	0	—	ns	8
ライトコマンドホールド時間	t_{WCH}	25	—	25	—	30	—	ns	
ライトコマンドパルス幅	t_{WP}	15	—	20	—	25	—	ns	
ライトコマンド・$\overline{RAS}$リード時間	t_{RWL}	35	—	40	—	45	—	ns	
ライトコマンド・$\overline{CAS}$リード時間	t_{CWL}	35	—	40	—	45	—	ns	
データ入力セットアップ時間	t_{DS}	0	—	0	—	0	—	ns	9
データ入力ホールド時間	t_{DH}	25	—	25	—	30	—	ns	8. 9
リードコマンドセットアップ時間	t_{RCS}	0	—	0	—	0	—	ns	
リードコマンドホールド時間	t_{RCH}	0	—	0	—	0	—	ns	
リードコマンドホールド時間($\overline{RAS}$に対して)	t_{RRH}	10	—	10	—	10	—	ns	
リフレッシュ周期	t_{REF}	—	4	—	4	—	4	ms	
$\overline{RAS}$パルス幅(リードモディファイライトサイクル)	t_{RWS}	170	10000	200	10000	245	10000	ns	
$\overline{CAS}$・$\overline{WE}$遅延	t_{CWD}	85	—	100	—	125	—	ns	8
$\overline{CAS}$セットアップ時間($\overline{CAS}$ビフォ$\overline{RAS}$リフレッシュ)	t_{CSR}	10	—	10	—	10	—	ns	
$\overline{CAS}$ホールド時間($\overline{CAS}$ビフォ$\overline{RAS}$リフレッシュ)	t_{CHR}	20	—	25	—	30	—	ns	
$\overline{RAS}$プリチャージ・$\overline{CAS}$ホールド時間	t_{RPC}	10	—	10	—	10	—	ns	
$\overline{CAS}$プリチャージ時間	t_{CP}	10	—	15	—	20	—	ns	
$\overline{OE}$からのアクセス時間	t_{OAC}	—	30	—	35	—	40	ns	
出力バッファターンオフ遅延($\overline{OE}$に対して)	t_{OFF2}	0	25	0	30	0	40	ns	
$\overline{OE}$・データ入力遅延時間	t_{ODD}	25	—	30	—	40	—	ns	
$\overline{OE}$ホールド時間($\overline{WE}$に対して)	t_{OEH}	10	—	15	—	20	—	ns	
データ入力・$\overline{CAS}$遅延時間	t_{DZC}	0	—	0	—	0	—	ns	
データ入力・$\overline{OE}$遅延時間	t_{DZO}	0	—	0	—	0	—	ns	
$\overline{OE}$・$\overline{RAS}$遅延時間	t_{ORD}	35	—	40	—	45	—	ns	
シリアルクロックサイクル時間	t_{SCC}	40	—	40	—	60	—	ns	
SCからのアクセス時間	t_{SCA}	—	40	—	40	—	60	ns	10
$\overline{SOE}$からのアクセス時間	t_{SEA}	—	25	—	30	—	40	ns	10
SCパルス幅	t_{SC}	10	—	10	—	10	—	ns	
SCプリチャージ幅	t_{SCP}	10	—	10	—	10	—	ns	
シリアルデータ出力ホールド時間(SCハイレベル時)	t_{SOH}	10	—	10	—	10	—	ns	
シリアル出力バッファターンオフ遅延($\overline{SOE}$に対して)	t_{SEZ}	0	25	0	25	0	30	ns	
シリアルデータ入力セットアップ時間	t_{SIS}	0	—	0	—	0	—	ns	
シリアルデータ入力ホールド時間	t_{SIH}	15	—	20	—	25	—	ns	
$\overline{DT}$・$\overline{RAS}$セットアップ時間	t_{DTS}	0	—	0	—	0	—	ns	
$\overline{DT}$・$\overline{RAS}$ホールド時間(リードデータ転送サイクル)	t_{RDH}	80	—	90	—	110	—	ns	

(次頁に続く)

項目	記号	HM53462-10		HM53462-12		HM53462-15		単位	注
		min.	max.	min.	max.	min.	max.		
$\overline{DT}$・$\overline{RAS}$ホールド時間	t_{DTH}	15	—	15	—	20	—	ns	
$\overline{DT}$・$\overline{CAS}$ホールド時間	t_{CDH}	20	—	30	—	45	—	ns	
ラストSC・$\overline{DT}$遅延時間	t_{SDD}	5	—	5	—	10	—	ns	
ファーストSC・$\overline{DT}$ホールド時間	t_{SDH}	20	—	25	—	30	—	ns	
$\overline{DT}$・$\overline{RAS}$遅延時間	t_{DTR}	10	—	10	—	10	—	ns	
$\overline{WE}$・$\overline{RAS}$セットアップ時間	t_{WS}	0	—	0	—	0	—	ns	
$\overline{WE}$・$\overline{RAS}$ホールド時間	t_{WH}	15	—	15	—	20	—	ns	
I/O・$\overline{RAS}$セットアップ時間	t_{MS}	0	—	0	—	0	—	ns	
I/O・$\overline{RAS}$ホールド時間	t_{MH}	15	—	15	—	20	—	ns	
シリアル出力バッファターンオフ遅延($\overline{RAS}$に対して)	t_{SRZ}	10	50	10	60	10	75	ns	
SC・$\overline{RAS}$セットアップ時間	t_{SRS}	30	—	40	—	45	—	ns	
$\overline{RAS}$・SC遅延時間	t_{SRD}	25	—	30	—	35	—	ns	
シリアルデータ入力遅延時間($\overline{RAS}$に対して)	t_{SID}	50	—	60	—	75	—	ns	
シリアルデータ入力・$\overline{DT}$遅延時間	t_{SZD}	0	—	0	—	0	—	ns	
$\overline{SOE}$・$\overline{RAS}$セットアップ時間	t_{ES}	0	—	0	—	0	—	ns	
$\overline{SOE}$・$\overline{RAS}$ホールド時間	t_{EH}	15	—	15	—	20	—	ns	
シリアルライトイネーブルセットアップ時間	t_{SWS}	0	—	0	—	0	—	ns	
シリアルライトイネーブルホールド時間	t_{SWH}	35	—	35	—	55	—	ns	
シリアルライトディスエーブルセットアップ時間	t_{SWIS}	0	—	0	—	0	—	ns	
シリアルライトディスエーブルホールド時間	t_{SWIH}	35	—	35	—	55	—	ns	
$\overline{DT}$・Sout遅延時間(Low—Z状態に対して)	t_{DLZ}	5	—	10	—	10	—	ns	

注） 1．AC測定は，$t_T=5ns$とします。
2．$t_{RCD} \leq t_{RCD}(max.)$とします。$t_{RCD}$がこの表の最大値より大きい場合，$t_{RAC}$は，規定値を越えます。
3．2TTL＋100pFに等価な負荷回路で測定。
4．$t_{RCD} \geq t_{RCD}(max.)$。
5．$t_{OFF}(max.)$は，出力が開放状態に達し，出力電圧レベルを参照できなくなった場合の時間で定義します。
6．$V_{IH}(min.)$と$V_{IL}(max.)$は，入力信号の測定タイミング参照レベルです。トランジッション時間はV_{IH}からV_{IL}への立ち下がり時間，またはその逆の立ち上がり時間です。
7．$t_{RCD} \geq t_{RCD}(max.)$の場合，アクセス時間は$t_{CAC}$によって規定されます。
8．$t_{WCS} \geq t_{WCS}(min.)$の場合，このサイクルはアーリライトサイクルとなります。データ出力端子はこのサイクルの間，高インピーダンス状態に保たれます。
$t_{CWD} \geq t_{CWD}(min.)$の場合，選択されたアドレスのデータがデータ出力端子に出力され，入力データが選択されたアドレスへ書込まれます。(リードモディファイライトサイクルに適用される。)
9．$\overline{CAS}$リードエッジと$\overline{WE}$リードエッジの，いずれか遅い方のリードエッジから定義されます。
10．2TTL＋50pFに等価な負荷回路で測定。
11．電源投入後100μs以上待機し，さらに8回以上のイニシャルサイクルを加えてください。その後，ライトマスクリセット($\overline{RAS}$立ち下がり時，$\overline{WE}$＝ロウレベル，I/O₁₋₄＝ハイレベル)を伴った論理演算リセットサイクルを1回以上加え，さらにSAMポートの初期化のために，データ転送サイクルを1回以上加えてください。

■タイミング波形

●リードサイクル

●アーリライトサイクル

*1) $\overline{WE}$がハイレベルの場合，I/Oピン1～4のデータはすべてメモリセルに書き込まれる。
$\overline{WE}$がロウレベルの場合，$\overline{RAS}$の立ち下がり時にI/Oがハイレベルである場合を除いて書き込み動作は行われない。

●ディレイドライトサイクル

RAS
CAS
Address ROW COLUMN
WE *1
DT/OE
I/O (Input) *1 VALID Din
I/O (Output) High-Z

Do not care

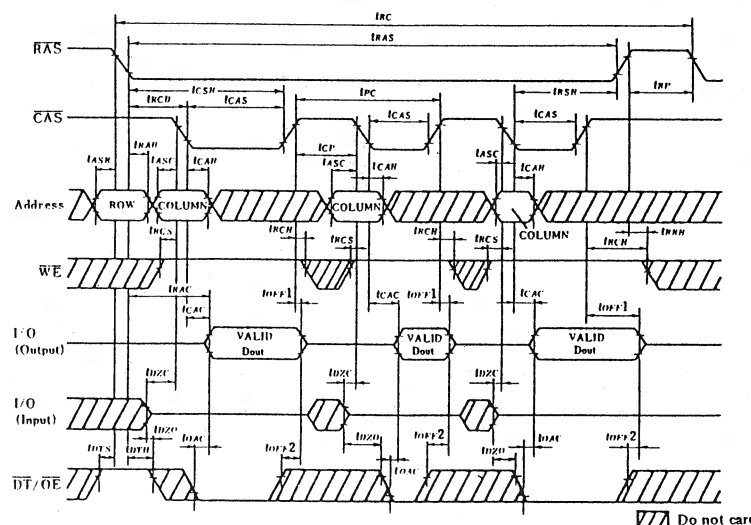
*1) $\overline{WE}$がハイレベルの場合，I/Oピン1～4のデータはすべてメモリセルに書き込まれる。
$\overline{WE}$がロウレベルの場合，$\overline{RAS}$の立ち下がり時にI/Oがハイレベルである場合を除いて書き込み動作は行われない。

●リードモディファイライトサイクル

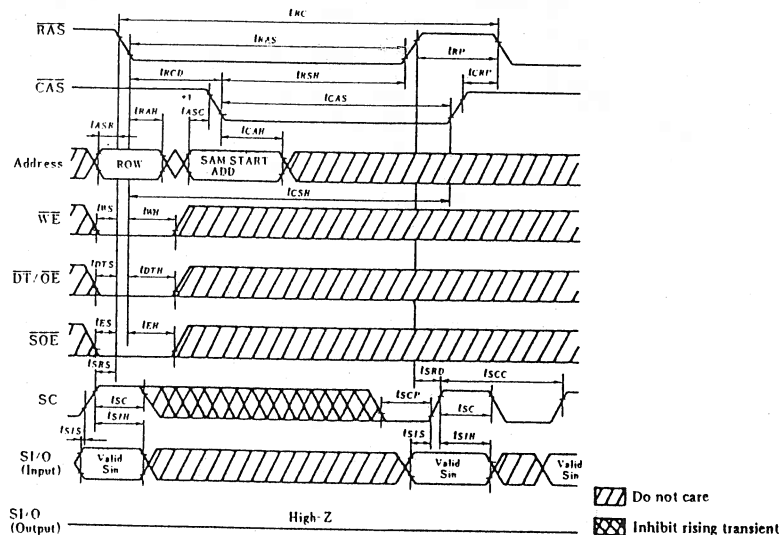
*1) $\overline{WE}$がハイレベルの場合，I/Oピン1～4のデータはすべてメモリセルに書き込まれる。
$\overline{WE}$がロウレベルの場合，$\overline{RAS}$の立ち下がり時にI/Oがハイレベルである場合を除いて書き込み動作は行われない。

●ページモードリードサイクル

RAS
CAS
Address ROW COLUMN COLUMN COLUMN
WE
I/O (Output) VALID Dout VALID Dout VALID Dout
I/O (Input)
DT/OE

Do not care

●ページモードライトサイクル（アーリライト）

*1) $\overline{WE}$がハイレベルの場合，I/Oピン1～4のデータはすべてメモリセルに書き込まれる。
$\overline{WE}$がロウレベルの場合，$\overline{RAS}$の立ち下がり時にI/Oがハイレベルである場合を除いて書き込み動作は行われない。

HM53462シリーズ
●ページモードライトサイクル（ディレイドライト）
RAS
CAS
Address
ROW
COLUMN
COLUMN
COLUMN
WE
＊1
I/O (Input)
VALID Din
VALID Din
VALID Din
I/O (Output)
High-Z
DT/OE
Do not care
＊1) WEがハイレベルの場合：I/Oピン１～４のデータはすべてメモリセルに書き込まれる。
WEがロウレベルの場合，RASの立ち下がり時にI/Oがハイレベルである場合を除いて書き込み動作は行われない。
●RASオンリリフレッシュサイクル
RAS
CAS
Address
ROW
I/O (Output)
I/O (Input)
DT/OE
Do not care
258
HITACHI
HM53462シリーズ
●CASビフォアRASリフレッシュサイクル
RAS
CAS
Address
WE
I/O (INPUT)
I/O (OUTPUT)
HIGH-Z
DT/OE
Do not care
●ヒドンリフレッシュサイクル
RAS
CAS
Address
ROW
COLUMN
WE
I/O (Output)
VALID Dout
DT/OE
I/O (Input)
High-Z
Do not care
HITACHI
259
HM53462シリーズ
●リードデータ転送サイクル (1)＊1,＊2
RAS
CAS
Address
ROW
SAM START ADD
WE
I/O (Output)
High Z
I/O (Input)
DT/OE
SC
SI/O (Output)
Valid Sout
Valid Sout
Valid Sout
Valid Sout
Previous Row
New Row
SI/O (Input)
High Z
Do not care
＊1) 先行するデータ転送サイクルがリード転送サイクルである場合。
＊2) SOEはロウレベルとする。
＊3) CASおよびSAMスタートアドレスはサイクルごとに規定する必要はない。SAMスタートアドレスを変更する場合のみ必要となる。
●リードデータ転送サイクル (2)＊1,＊2
RAS
CAS
Address
ROW
SAM START ADD
WE
I/O (Output)
High-Z
I/O (Input)
DT/OE
SC
SI/O (Output)
VALID Sout
SI/O (Input)
VALID Sin
Do not care
Inhibit rising transient
＊1) 先行するデータ転送サイクルがライトデータ転送サイクル，または，擬似データ転送サイクルである場合。
＊2) SOEはロウレベルとする。
＊3) CASおよびSAMスタートアドレスはサイクルごとに規定する必要はない。SAMスタートアドレスを変更する場合のみ必要となる。
260
HITACHI
HM53462シリーズ
●擬似データ転送サイクル
RAS
CAS
Address
ROW
SAM START ADD
WE
DT/OE
SOE
SC
SI/O (Input)
VALID Sin
SI/O (Output)
Do not care
Inhibit rising transient
＊1) CASおよびSAMスタートアドレスはサイクルごとに規定する必要はない。SAMスタートアドレスを変更する場合のみ必要となる。
●ライトデータ転送サイクル
RAS
CAS
Address
ROW
SAM START ADD
WE
DT/OE
SOE
SC
SI/O (Input)
Valid Sin
Valid Sin
Valid Sin
SI/O (Output)
High-Z
Do not care
Inhibit rising transient
＊1) CASおよびSAMスタートアドレスはサイクルごとに規定する必要はない。SAMスタートアドレスを変更する場合のみ必要となる。
HITACHI
261

■解　説

1. 論理演算モード

HM53462は，論理演算ユニットを内蔵し，グラフィックプロセス単純化を実現しました。論理は論理演算セット／リセットサイクルで決定され，このサイクルに引き続いてのライトサイクルで演算が実行されます。論理演算モードでは，リードモディファイライトサイクルが内部で行われ，メモリセルデータをDinとそれまでのメモリセルデータ間の論理演算によって新しいデータに転換します。

2. 論理演算セット／リセットサイクル

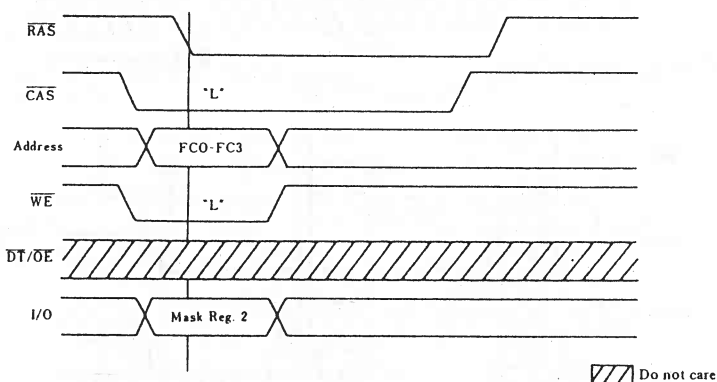
$\overline{RAS}$降下時に$\overline{CAS}$および$\overline{WE}$がロウレベルに移行していると，論理演算セット／リセットサイクルが開始します(図1)。論理コードおよびマスクされるビットは，それぞれ$\overline{RAS}$の立ち下がりエッジでのA_{X0-3}状態とI/Oピン1～4状態で決定します。また，このサイクルにおいて$\overline{CAS}$ビフォ$\overline{RAS}$リフレッシュ機能も実行されます。従来の$\overline{CAS}$ビフォ$\overline{RAS}$リフレッシュを実行する場合は，$\overline{RAS}$ロウレベル時に$\overline{WE}$をハイレベルにする必要があります。

2.1　論理コード

表1に論理コードを示します。電源投入後，論理コードは“THROUGH”に初期化されます。論理コードが$(A_{X3}, A_{X2}, A_{X1}, A_{X0})=(0,0,1,1)$の場合，SAM構成は内部のパラレルシリアル変換器を使って1,024ワード×1ビットに変化します（図2）。SAM構成が変化した場合，データ転送サイクルを行い，SAMセレクタを初期化する必要があります。

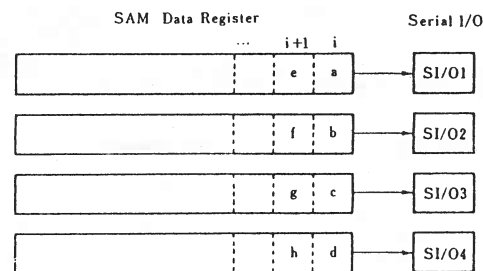
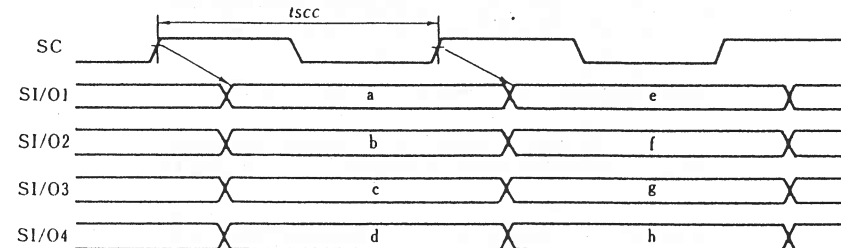
2.2　ライトマスク機能

HM53462は2種類のマスクレジスタ（レジスタ1，レジスタ2）を内蔵しています。ライトサイクル時$\overline{RAS}$の立ち下がりエッジで$\overline{WE}$がロウレベルに移行していると，レジスタ1がセットされ，このサイクルの間のみマスクデータは有効となります。一方，レジスタ2は論理演算セット／リセットサイクルにおけるI/Oピンレベルにより決定し，マスクデータは次回の論理演算セット／リセットサイクルまで有効です。もし，レジスタ1が論理演算モード時にセットされたならば，2つのマスクデータが存在可能となりますが，その場合はマスクデータとしてレジスタ1のデータが選択され，論理はこのサイクルの間のみ“THROUGH”となります（図3）。

図1．論理演算セット/リセットサイクル

表1．論理コード（FC0～3は論理演算セットサイクルにおいてA_{X0}～A_{X3}とする。）

FC3	FC2	FC1	FC0	LOGIC Symbol	LOGIC Write Data	
0	0	0	0	0	Zero	
0	0	0	1	AND1	Di · Mi	
0	0	1	0	AND2	$\overline{Di}$ · Mi	
0	0	1	1	X4→X1	—	→SAM構成は1,024ワード×1ビットに変換する。
0	1	0	0	AND3	Di · $\overline{Mi}$	
0	1	0	1	THROUGH	Di	→論理演算モードリセット
0	1	1	0	EOR	$\overline{Di}$ · Mi + Di · $\overline{Mi}$	
0	1	1	1	OR1	Di + Mi	
1	0	0	0	NOR	$\overline{Di}$ · $\overline{Mi}$	
1	0	0	1	ENOR	Di · Mi + $\overline{Di}$ · $\overline{Mi}$	
1	0	1	0	INV1	$\overline{Di}$	
1	0	1	1	OR2	$\overline{Di}$ + Mi	
1	1	0	0	INV2	$\overline{Mi}$	
1	1	0	1	OR3	Di + $\overline{Mi}$	
1	1	1	0	NAND	$\overline{Di}$ + $\overline{Mi}$	
1	1	1	1	1	ONE	

Di：外部Din
Mi：メモリセルデータ

1)×4モード（SAM構成：256×4）

2)×1モード（SAM構成：1,024×1）

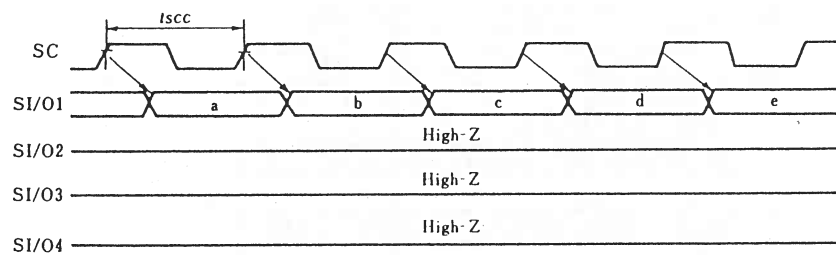



図2．SAMデータのシフト方法

	Logic operation set/reset cycle	Write cycle	Write cycle	Write cycle	Write cycle
$\overline{RAS}$					
$\overline{CAS}$	"L"	"H"	"H"	"H"	"H"
$\overline{WE}$	"L"	"H"	"L"	"H"	"H"
I/O1		"0" Write	Masked	"1" Write	"0" Write
I/O2		Masked	"1" Write	Masked	Masked
I/O3		Masked	"0" Write	Masked	Masked
I/O4		"1" Write	Masked	"0" Write	"1" Write
Logic	—	AND1	THROUGH	AND1	AND1
	Mask reg.2 is set I/O2,3 :Masked Assume that the logic is set to "AND1".		Mask reg.1 is set, and valid only in this cycle. I/O1,4:Masked		

図3．論理演算モード